

Особенности обнаружения ошибок при контроле вычислений в цифровых устройствах по признаку самодвойственности булевых функций

The specificity of error detection as part of computing testing in digital devices based on self-duality of Boolean functions

Ефанов Д.В.^{1*}, Погодина Т.С.²
Efanov D.V.^{1*}, Pogodina T.S.²

¹Высшая школа транспорта Института машиностроения, материалов и транспорта Санкт-Петербургского политехнического университета Петра Великого, Санкт-Петербург, Российская Федерация; «Научно-исследовательский и проектный институт «Транспортной и строительной безопасности», Санкт-Петербург, Российская Федерация; Российский университет транспорта (МИИТ), Москва, Российская Федерация; Ташкентский государственный транспортный университет, Ташкент, Республика Узбекистан

²Российский университет транспорта (МИИТ), Москва, Российская Федерация

¹Higher School of Transportation, Institute of Engineering, Materials, and Transportation, Peter the Great St. Petersburg Polytechnic University, Saint Peteresburg, Russian Federation; Research and Design Institute for Transportation and Construction Safety, Saint Peteresburg, Russian Federation; Russian University of Transport (MIIT), Moscow, Russian Federation; Tashkent State Transport University, Tashkent, Republic of Uzbekistan

²Russian University of Transport (MIIT), Moscow, Russian Federation

*TrES-4b@yandex.ru



Ефанов Д.В.



Погодина Т.С.

Резюме. Цель. Установить особенности обнаружения ошибок при самодвойственном контроле вычислений устройствами автоматики, а также предложить способ организации контроля вычислений с обнаружением любых неисправностей из заданной модели.

Методы. Использованы методы технической диагностики дискретных систем, булевой алгебры, комбинаторики. **Результаты.** Проанализированы особенности обнаружения ошибок на выходах самодвойственных цифровых устройств комбинационного типа. Формализованы условия обнаружения и не обнаружения ошибок на выходах самодвойственных комбинационных схем, которые позволяют на практике путем анализа потенциальных ошибок на их выходах организовывать полностью самопроверяемые схемы встроенного контроля. При этом отмечается, что если полного покрытия всех ошибок на выходах самодвойственных схем не удастся достичь при контроле вычислений только по признаку принадлежности функций классу самодвойственных, то в ряде случаев это возможно за счет дополнительного контроля принадлежности формируемых кодовых векторов заранее выбранному избыточному коду. Установлено, за счет каких особенностей для реальных цифровых устройств потенциально возможно большое количество компенсируемых при самодвойственном контроле ошибок. Теоретически определено, что в реальных практических приложениях при самодвойственном контроле вычислений чем больше число входных переменных, тем выше вероятность не обнаружения ошибки за счет большего числа сочетаний искажений на выходах. Но чем больше число реализуемых устройством функций, тем выше и вероятность обнаружения ошибки. Тем не менее, на практике нужно индивидуально подходить к процессу организации контроля вычислений по признаку самодвойственности вычисляемых функций для каждого из цифровых устройств. Приведены некоторые результаты экспериментов, демонстрирующие особенности обнаружения ошибок на выходах самодвойственных комбинационных схем с использованием различных схемотехнических способов, основанных на сжатии сигналов от объектов контроля с применением модифицированных кодов Хэмминга (кодов Сяо). **Заключение.** Установленные в работе условия обнаружения ошибок на выходах самодвойственных цифровых устройств позволяют на практике синтезировать самопроверяемые вычислительные системы с улучшенными показателями контролепригодности по сравнению с традиционными подходами к их реализации.

Abstract. Aim. To identify the specificity of error detection as part of self-dual calculations testing by automation devices, as well as to propose a method for organising calculations testing that would allow detecting any malfunctions from the defined model. **Methods.** The paper used methods of technical diagnostics of discrete systems, Boolean algebra, and

combinatorics. **Results.** The specificity of error detection at the outputs of self-dual digital devices of combination type were analysed. The conditions for detecting and not detecting errors at the outputs of self-dual combinational circuits were formalised. In practice, the latter allow – by analysing potential errors at the outputs – creating fully self-checking circuits. At the same time, it is noted that if full coverage of all errors at the outputs of self-dual circuits cannot be achieved when computing-testing only on the basis of whether a function belongs to the self-dual class, then in some cases that can be made possible through additional checking of whether the generated code vectors belong to a pre-selected redundant code. It is established, what features of actual digital devices enable large numbers of errors compensated for by self-dual testing. It is theoretically determined that, in real practical applications with self-dual computing testing, the larger is the number of input variables, the higher is the probability of not detecting an error due to a larger number of combinations of distortions at the outputs. However, the greater is the number of functions implemented by a device, the higher is the probability of error detection. Nonetheless, in practice, each case of computations testing based on the self-duality of calculated functions should be treated individually for each digital device. The paper presents some experimental results that demonstrate the specificity of error detection at the outputs of self-dual combinational circuits using various circuit design methods based on compressing the signals received from the monitored facilities using modified Hamming codes (Hsiao codes). **Conclusion.** The conditions for detecting errors at the outputs of self-dual digital devices established in this paper allow practically synthesising self-checking computer systems with improved checkability as compared with conventional approaches to their implementation.

Ключевые слова: самопроверяемые цифровые устройства; самодвойственные комбинационные схемы; обнаружение ошибок в вычислениях; контроль вычислений по признаку самодвойственности булевых функций; компенсация ошибки при самодвойственном контроле; условия обнаружения ошибок при самодвойственном контроле.

Keywords: self-checking digital devices; self-dual combinational circuits; computational error detection; computations checking based on self-duality of Boolean functions; error compensation as part of self-dual checking; conditions for error detection as part of self-dual checking.

Для цитирования: Ефанов Д.В., Погодина Т.С. Особенности обнаружения ошибок при контроле вычислений в цифровых устройствах по признаку самодвойственности булевых функций // Надежность. 2024. №2. С. 24-37. <https://doi.org/10.21683/1729-2646-2024-24-2-24-37>

For citation: Efanov D.V., Pogodina T.S. The specificity of error detection as part of computing testing in digital devices based on self-duality of Boolean functions. Dependability 2024;2:24-37. <https://doi.org/10.21683/1729-2646-2024-24-2-24-37>

Поступила: 04.09.2023 / **После доработки:** 11.04.2024 / **К печати:** 10.06.2024

Received on: 04.09.2023 / **Revised on:** 11.04.2024 / **For printing:** 10.06.2024

Введение

Реализация высоконадежных и безопасных устройств и вычислительных систем невозможна без применения методов контроля вычислений. В современных технических решениях часто применяют контроль остатков, контроль мантисс, сигнатурный анализ, кодовые методы, контроль вычислений по принадлежности к особым классам функций и многие другие [1–7]. Одним из эффективных подходов к организации контроля вычислений является контроль принадлежности вычисляемых функций классу самодвойственных булевых функций, или так называемый *самодвойственный контроль вычислений* [8].

При реализации самодвойственного контроля некоторого устройства в общем случае можно выделить два основных технических решения. Первое состоит в том, что устройство, на выходах которого реализуются произвольные булевы функции, преобразуется в такое устройство, выходы которого описываются исключи-

тельно самодвойственными булевыми функциями – в *самодвойственное устройство*. Такое преобразование возможно всегда и реализуется с использованием всего одной переменной (для некоторых устройств, например, с частично определенными функциями выходов, дополнительная переменная может и не потребоваться) [9]. Способы преобразования устройств в самодвойственные описаны, например, в [10]. В общем, можно сказать, что все они основаны на использовании известного разложения К. Э. Шеннона (разложения булевых функций по одной переменной) (см., например, теорему 1.16 из [11]). Второе техническое решение при организации контроля вычислений по признаку самодвойственности функций состоит в использовании метода логической коррекции сигналов при синтезе схемы встроенного контроля (СВК) [12, 13]. В этом случае устройство, формирующее произвольные булевы функции, не преобразуется, а дополняется блоками, в которых уже производится самодвойственное преобразование и в последующем

осуществляется контроль самодвойственности вычисляемых функций [14]. Данный способ контроля вычислений по признаку самодвойственности вычисляемых функций также реализуем всегда.

Особенности синтеза самодвойственных устройств и вычислительных систем рассмотрены не только в многочисленных публикациях отечественных и зарубежных ученых, но и в трех монографиях [15–17]. Отметим, что общей особенностью всех самодвойственных устройств является использование для реализации временной избыточности и импульсного режима функционирования, что как раз и позволяет контролировать вычисления по принадлежности формируемых функций к классу самодвойственных. Это приводит к подаче на входы устройства пар ортогональных по всем переменным комбинаций.

Во всех работах, посвященных реализации самодвойственных устройств и их тестированию, обсуждаются особенности обнаружения ошибок в вычислениях и указывается, что ошибка не будет обнаружена только в том случае, если она возникнет при поступлении на входы ортогональных по всем переменным входных комбинаций. Другими словами, проявится в обеих комбинациях из пары. Однако не обсуждается, какое именно число таких ошибок возможно.

В ходе исследований авторов настоящей статьи в части реализации самодвойственных устройств и моделирования их работы выяснилось, что только при самодвойственном контроле вычислений с применением схем сжатия сигналов с наблюдаемых выходов вне зависимости от способа реализации схемы сжатия может появляться большое число маскируемых ошибок. Например, при использовании в этих целях кодов Хэмминга и их различных модификаций не во всех случаях удается покрывать все ошибки, возникающие на выходах устройств [18, 19]. Повысить число обнаруживаемых ошибок можно за счет применения дополнительного контроля вычислений по принадлежности формируемых кодовых слов на выходах устройств заранее выбранным двоичным избыточным кодам [20, 21]. Однако возникает закономерный вопрос: что же, все-таки, влияет на появление в некоторых случаях структур цифровых устройств большого числа маскируемых ошибок?

Целью настоящей работы является установление формальных условий обнаружения ошибок при самодвойственном контроле вычислений устройствами автоматики и определения числа потенциально маскируемых ошибок при данном виде контроля.

1. Основные положения и постановка задачи

В фундаментальной работе [22] рассматривается задача построения самодвойственных логических схем, защищенных по отношению к неисправностям. Введено понятие самодвойственно тестируемой по какому-либо выходу схемы неисправности из рассматриваемой модели неисправностей. Его можно перефразировать

следующим образом: *самодвойственно тестируемой по j -му выходу схемы неисправностью* называется такая неисправность, для которой существует хотя бы одна пара входных комбинаций, ортогональных по всем переменным, для которой неисправность проявляется в виде искажения значения функции, реализуемой на данном выходе, только на одной из комбинаций. *Неисправность из рассматриваемой модели называется самодвойственно тестируемой*, если она самодвойственно тестируема хотя бы по одному из ее выходов. Важным в данных определениях является то, что неисправность самодвойственно тестируема в том случае, если существует хотя бы одна пара комбинаций, при поступлении на входы устройства которой данная неисправность проявится в виде искажения функции только на одной из комбинаций.

Неисправность вызывает в схеме ошибку, которая либо компенсируется (маскируется), либо транслируется на один или несколько ее выходов. При этом неисправность при подаче на входы различных комбинаций будет транслироваться на выходы по-разному: для каких-то входных комбинаций она не будет вызывать искажений функций, для каких-то – наоборот. Поэтому в ряде случаев (например, при реализации отказоустойчивых устройств) целесообразно говорить не о возможности обнаружения ошибки хотя бы на одной из пар входных комбинаций, а о возможности обнаружения любых ошибок в функциях, реализуемых на выходах самодвойственных устройств.

В той же работе [22] введено понятие *самодвойственно защищенного по отношению к неисправности из заданной модели выхода* как выхода, для которого эта неисправность либо не приводит к появлению ошибки, либо если искажение возникает, то оно проявляется в виде искажения значения функции, реализуемой на выходе, только при подаче одной из комбинаций, входящих в пары ортогональных по всем переменным комбинаций. Это условие должно выполняться для всех пар входных комбинаций. Схема называется *самодвойственно защищенной* от рассматриваемой неисправности, если каждый выход этой схемы самодвойственно защищен от этой неисправности. Вводится также понятие *самодвойственно защищенного от ошибок по отношению к j -ому выходу логического элемента* – элемента, для которого j -ый выход самодвойственно защищен от всех ошибок данного элемента. Если каждый выход схемы самодвойственно защищен от всех ошибок рассматриваемого логического элемента, то данный элемент называется самодвойственно защищенным по отношению ко всем неисправностям из рассматриваемой модели. Далее в описываемой работе вводятся условия защищенности логических элементов схемы и предлагается алгоритм преобразования любой самодвойственной схемы в самодвойственно защищенную от проявления однонаправленных (монотонных) ошибок.

Данная преамбула весьма важна, поскольку при реализации самодвойственных схем с точки зрения

технической диагностики важно обеспечить их защищенность от проявления всех неисправностей и обеспечить обнаружение всех их проявлений в виде ошибок, возникающих на их выходах. Рассмотрим задачу определения условий обнаружения ошибок на выходах самодвойственных устройств, а также учета событий появления необнаруживаемых (компенсируемых, или маскируемых) ошибок.

Число входов устройства обозначим через n . Тогда число входных комбинаций равно 2^n . Входные комбинации соответствуют двоичным числам от $\langle 00 \dots 00 \rangle$ и $\langle 11 \dots 11 \rangle$, которые, в свою очередь, пронумеруем соответствующими им десятичными числами: $0, 1, \dots, 2^n - 1$. При построении самодвойственных устройств реализуется импульсный режим работы, поэтому входные комбинации подаются парами: первая комбинация $i \in \{0, 1, \dots, 2^{n-1} - 1\}$, а вторая комбинация – ортогональная по всем переменным с десятичным номером $2^n - 1 - i$. Далее, у самодвойственного устройства может быть m выходов. Обозначим принадлежность пары и конкретного значения функции, реализуемой на j -ом ($j \in \{1, 2, \dots, m\}$) выходе, верхним индексом j у конкретной пары и конкретного значения. Сами значения j -ой функции при поступлении векторов входных переменных i и $2^n - 1 - i$ обозначим через A_i^j и $B_{2^n - 1 - i}^j$. Конкретную пару входных комбинаций и значений вычисляемой j -ой функции, таким образом, обозначим через $P_{i/2^n - 1 - i}^j(A_i^j, B_{2^n - 1 - i}^j)$. Задача формулируется следующим образом: требуется установить формальные условия, при которых любые ошибки на выходах самодвойственных устройств будут обнаруживаться, а также оценить общее возможное количество ошибок, которое может быть не обнаружено при самодвойственном контроле.

2. Условия обнаружения ошибок при самодвойственном контроле цифровых устройств

Так как у самодвойственного устройства каждая реализуемая на выходах функция принадлежит классу самодвойственных булевых функций, имеет место следующее: $A_i^j \neq B_{2^n - 1 - i}^j$ [22]. Это следует непосредственно из особенностей самодвойственных булевых функций [10].

Утверждение 1. Ошибка на j -ом выходе самодвойственного устройства при поступлении на входы комбинаций i и $2^n - 1 - i$ обнаруживается тогда и только тогда, когда:

$$A_i^j \oplus B_{2^n - 1 - i}^j = 0. \quad (1)$$

Доказательство. Введем еще два обозначения: T – значение функции при отсутствии неисправностей (корректное значение); F – значение функции с ошибкой (некорректное значение). Тогда имеет место четыре случая для конкретной пары входных комбинаций: $P_{i/2^n - 1 - i}^j(T, T)$, $P_{i/2^n - 1 - i}^j(F, T)$, $P_{i/2^n - 1 - i}^j(T, F)$, $P_{i/2^n - 1 - i}^j(F, F)$. Случай $P_{i/2^n - 1 - i}^j(T, T)$ соответствует отсутствию ошибок в

вычислениях; остальные случаи соответствуют присутствию ошибки в вычислениях. Для случая $P_{i/2^n - 1 - i}^j(T, T)$, так как $A_i^j \neq B_{2^n - 1 - i}^j$ имеем $A_i^j \oplus B_{2^n - 1 - i}^j = 1$. Для случаев $P_{i/2^n - 1 - i}^j(F, T)$ и $P_{i/2^n - 1 - i}^j(T, F)$ получаем, что $A_i^j = B_{2^n - 1 - i}^j$ и $A_i^j \oplus B_{2^n - 1 - i}^j = 0$. Для случая $P_{i/2^n - 1 - i}^j(F, F)$ имеют место искажения функции на обеих входных комбинациях, а значит, A_i^j и $B_{2^n - 1 - i}^j$ поменяли свои значения: $A_i^j \neq B_{2^n - 1 - i}^j$ и $A_i^j \oplus B_{2^n - 1 - i}^j = 1$. Такая «двойная» ошибка при самодвойственном контроле обнаруживаться не будет. Обнаружатся те ошибки, для которых $A_i^j \neq B_{2^n - 1 - i}^j$. Следовательно, выражение (1) определяет условия для обнаружения ошибок при самодвойственном контроле цифрового устройства.

Из утверждения 1 непосредственно следует

Утверждение 2. Ошибка на j -ом выходе самодвойственного устройства обнаруживается тогда и только тогда, когда:

$$\forall i \in \{0, 1, \dots, 2^{n-1} - 1\}: A_i^j \oplus B_{2^n - 1 - i}^j = 0. \quad (2)$$

Доказательство. Если условие (1) выполняется для каждой пары $P_{i/2^n - 1 - i}^j(A_i^j, B_{2^n - 1 - i}^j)$, то все ошибки в вычислениях j -ой функции обнаруживаются.

До сих пор рассматривалось устройство с одним выходом. Рассмотрим устройство с m выходами.

Утверждение 3. Ошибка на выходах самодвойственного устройства при поступлении на входы комбинаций i и $2^n - 1 - i$ обнаруживается тогда и только тогда, когда:

$$\bigg\&_{i=1}^m (A_i^j \oplus B_{2^n - 1 - i}^j) = 0. \quad (3)$$

Доказательство. Если значения j -ой функции при поступлении на входы комбинаций i и $2^n - 1 - i$ корректны или оба неверны, то $A_i^j \neq B_{2^n - 1 - i}^j$ и $A_i^j \oplus B_{2^n - 1 - i}^j = 1$. В этом случае при самодвойственном контроле только j -ой функции такая «двойная» ошибка не обнаруживается. Однако если ошибка проявляется в виде «одиночного» искажения какой-либо другой функции, описывающей другой выход устройства, то $A_i^j = B_{2^n - 1 - i}^j$ и $A_i^j \oplus B_{2^n - 1 - i}^j = 0$ (случаи $P_{i/2^n - 1 - i}^j(F, T)$ или $P_{i/2^n - 1 - i}^j(T, F)$). Тогда, если значение хотя бы одной из m функций исказится только на одной комбинации из пары i и $2^n - 1 - i$, то и любая «двойная» ошибка других функций будет обнаружена на этой паре.

Утверждение 4. Ошибка на выходах самодвойственного устройства обнаруживается тогда и только тогда, когда:

$$\forall i \in \{0, 1, \dots, 2^{n-1} - 1\}: \bigg\&_{i=1}^m (A_i^j \oplus B_{2^n - 1 - i}^j) = 0. \quad (4)$$

Доказательство. Если условие (4) выполняется для каждой пары $P_{i/2^n - 1 - i}^j(A_i^j, B_{2^n - 1 - i}^j)$, то все ошибки в вычислениях обнаруживаются.

Условие утверждения 4 определяет самодвойственно защищенные устройства.

Аналогично в статье [22] сформулированы условия самодвойственной защищенности для логических схем, реализованных на стандартных функциональных

элементах при рассмотрении модели одиночных константных неисправностей их выходов.

Из утверждения 4 непосредственно следует

Утверждение 5. *Ошибка на выходах самодвойственного устройства не обнаруживается в том случае, если хотя бы для одного i не выполняется условие (4).*

Тогда становится ясным, что чем больше значение m , тем больше и вероятность того, что ошибка будет обнаружена при самодвойственном контроле. Однако при этом структура устройства должна быть таковой, чтобы имелись пути, связывающие внутренние элементы устройства с различными его выходами.

В том случае, если на выходах самодвойственного устройства при рассматриваемой модели неисправности допускается необнаруживаемая ошибка, то есть, устройство самодвойственно защищенным не является, можно схематическими методами добиться ее обнаружения. К примеру, возможна дополнительная организация контроля самодвойственного устройства по кодовым методам [20, 21].

Обозначим вектор значений функций, вычисляемых на выходах устройства (информационный вектор), через $\langle F \rangle = \langle f_m f_{m-1} \dots f_2 f_1 \rangle$. Дополнительно будем вычислять значения проверочных символов контрольного вектора для данного информационного вектора по правилам формирования проверочных символов какого-либо двоичного разделимого кода. Этот код обозначим через (m, k) , где m и k – число информационных и проверочных символов. Контрольный вектор обозначим как $\langle G \rangle = \langle g_k g_{k-1} \dots g_2 g_1 \rangle$. Тогда можно сформулировать условие обнаружения ошибок при контроле по двум диагностическим признакам (принадлежности каждой функции, формируемой на выходах устройства, классу самодвойственных булевых функций и принадлежности каждого кодового слова $\langle FG \rangle = \langle f_m f_{m-1} \dots f_2 f_1 g_k g_{k-1} \dots g_2 g_1 \rangle$ выбранному (m, k) коду) следующим образом (оно вытекает из предыдущих рассуждений).

Утверждение 6. *Ошибка при контроле самодвойственного устройства по двум диагностическим признакам будет обнаружена в случае, если выполнено условие (4), либо, если оно не выполнено для какой-либо пары i и $2^n - 1 - i$ входных комбинаций, но хотя бы на одной из них кодовое слово $\langle FG \rangle = \langle f_m f_{m-1} \dots f_2 f_1 g_k g_{k-1} \dots g_2 g_1 \rangle$ не принадлежит выбранному (m, k) коду:*

$$\begin{cases} \forall i \in \{0, 1, \dots, 2^{n-1} - 1\} : \bigoplus_{j=1}^m (A_i^j \oplus B_{2^n-1-i}^j) = 0; \\ \forall P_{i/2^n-1-i}^j (A_i^j, B_{2^n-1-i}^j) \in P_{ND}^j, (A_i^j \vee B_{2^n-1-i}^j) : \\ A_i^j, B_{2^n-1-i}^j \rightarrow \langle FG \rangle \notin C_{(m,k)}. \end{cases} \quad (5)$$

где P_{ND}^j – множество пар, на которых ошибка проявляется на обеих комбинациях и, тем самым, не обнаруживается; $P_{ND}^j = P^j \setminus (P_0^j \cup P_D^j)$, $P^j = \bigcup_{i=0}^{2^{n-1}} P_{i/2^n-1-i}^j (A_i^j, B_{2^n-1-i}^j)$ – множество пар, P_0^j – подмножество пар, на которых ошибка не проявляется, P_D^j – множество пар, на которых ошибка проявляется только на одной из двух

комбинаций и, тем самым, обнаруживается; $C_{(m,k)}$ – множество кодовых слов выбранного (m, k) кода.

Отдельно отметим, что случай применения схем сжатия на основе (m, k) кодов, например, описанных в [19], не относится к контролю вычислений по двум диагностическим признакам, а относится к случаю уменьшения числа наблюдаемых выходов устройства для контроля вычислений.

3. Число потенциально необнаруживаемых ошибок при самодвойственном контроле

Определим, какое число ошибок может быть не обнаружено при самодвойственном контроле.

Введем параметр γ – число входных комбинаций, при поступлении которых возникает искажение значения функции, реализуемой на выходе самодвойственного устройства: $\gamma \in \{0, 1, \dots, 2^n\}$. Будем учитывать, что γ характеризует кратность возникающих ошибок на полном множестве комбинаций аргументов функции. Число искажений с кратностью γ равно $N_\gamma = C_{2^n}^\gamma$. Общее же число возможных искажений определяется величиной $N = \sum_{\gamma=0}^{2^n} N_\gamma = \sum_{\gamma=0}^{2^n} C_{2^n}^\gamma = 2^{2^n}$. Число N существенно растет при увеличении n и уже при $n = 5$ является астрономическим (в табл. 1 приведены числа N_γ и N для случаев $n = 2 \dots 5$). Заметим, что оно равно числу булевых функций от n переменных [23].

Всегда обнаруживаются только одиночные ошибки (при $\gamma = 1$). Их число равно $N_1 = C_{2^n}^1 = 2^n$. Не обнаруживаются ошибки при $\gamma \in \{2, 3, \dots, 2^n\}$. К примеру, в табл. 2 и 3 приведены рассчитанные показатели ошибок в самодвойственных функциях от $n = 2$ и $n = 3$ входных переменных. Из анализа данных таблиц можно сделать вывод о том, что с ростом значения γ доли необнаруживаемых ошибок от общего числа ошибок с данной кратностью γ (величины $\delta_\gamma = \frac{N_\gamma^{ND}}{N_\gamma}$) не убывают.

Минимальное значение δ_γ для случаев $\gamma \in \{2, 3, \dots, 2^n\}$ достигается при самом первом значении $\gamma = 2$. Не обнаруживаются те ошибки с $\gamma > 2$, которые содержат в себе группы «двойных» необнаруживаемых искажений и искажений, возникающих на каких-либо иных входных комбинациях.

Для исключения необнаруживаемых при самодвойственном контроле ошибок необходимо исключить одновременные искажения при подаче на входы обеих комбинаций из пар $P_{i/2^n-1-i}^j (A_i^j, B_{2^n-1-i}^j)$. Всего существует 2^{n-1} пар для функции от n переменных. Таким образом, возможно $N_2^{ND} = 2^{n-1}$ вариантов возникновения «двойных» ошибок. Общее же число таких ошибок в функции от n переменных определяется величиной

$$N_2 = C_{2^n}^2 = \frac{2^n!}{(2^n-2)!2!} = \frac{(2^n-2)!(2^n-1)2^n}{(2^n-2)!2!} = 2^{n-1}(2^n-1).$$

Доля таких ошибок равна:

$$\delta_2 = \frac{2^{n-1}}{C_{2^n}^2} = \frac{2^{n-1}}{2^{n-1}(2^n - 1)} = \frac{1}{2^n - 1}.$$

При увеличении n и в пределе при $n \rightarrow \infty$ имеем:

$$\lim_{n \rightarrow \infty} \delta_2 = \lim_{n \rightarrow \infty} \frac{1}{2^n - 1} = 0.$$

Табл. 1. Число ошибок, возникающих на γ выходах самодвойственного устройства

γ	n			
	2	3	4	5
0	1	1	1	1
1	4	8	16	32
2	6	28	120	496
3	4	56	560	4960
4	1	70	1820	35960
5	—	56	4368	201376
6	—	28	8008	906192
7	—	8	11440	3365856
8	—	1	12870	10518300
9	—	—	11440	28048800
10	—	—	8008	64512240
11	—	—	4368	129024480
12	—	—	1820	225792840
13	—	—	560	347373600
14	—	—	120	471435600
15	—	—	16	565722720
16	—	—	1	601080390
17	—	—	—	565722720
18	—	—	—	471435600
19	—	—	—	347373600
20	—	—	—	225792840
21	—	—	—	129024480
22	—	—	—	64512240
23	—	—	—	28048800
24	—	—	—	10518300
25	—	—	—	3365856
26	—	—	—	906192
27	—	—	—	201376
28	—	—	—	35960
29	—	—	—	4960
30	—	—	—	496
31	—	—	—	32
32	—	—	—	1
N	16	256	65536	4294967296

Табл. 2. Показатели ошибок в самодвойственных функциях от $n=2$ переменных

Показатель	γ				
	0	1	2	3	4
N_{γ}^{ND}	0	0	2	4	1
N_{γ}	1	4	6	4	1
δ_{γ}	0	0	0,333	1	1

Табл. 3. Показатели ошибок в самодвойственных функциях от $n=3$ переменных

Показатель	γ								
	0	1	2	3	4	5	6	7	8
N_{γ}^{ND}	0	0	4	24	52	56	28	8	1
N_{γ}	1	8	28	56	70	56	28	8	1
δ_{γ}	0	0	0,143	0,429	0,743	1	1	1	1

К примеру, в табл. 4 приведены данные для некоторых значений n .

Табл. 4. Характеристики «двойных» ошибок

n	N_2^{ND}	N_2	δ_2
2	2	6	0,333
3	4	28	0,143
4	8	120	0,067
5	16	496	0,032
...	...	...	...
10	512	523776	0,001

Таким образом, в реальных практических приложениях при самодвойственном контроле вычислений чем больше число аргументов n , тем выше вероятность не обнаружения ошибки. Однако, с другой стороны, чем больше число функций m , тем вероятность обнаружить ошибку выше. Для реальных устройств требуется анализ их структур для оценки показателей обнаружения ошибок.

4. Экспериментальные результаты

Покажем на простейшем примере, за счет чего контроль по двум диагностическим признакам позволяет увеличить число тестовых входных комбинаций для устройства среди рабочих.

Рассматривалась следующая несамодвойственная схема (рис. 1).

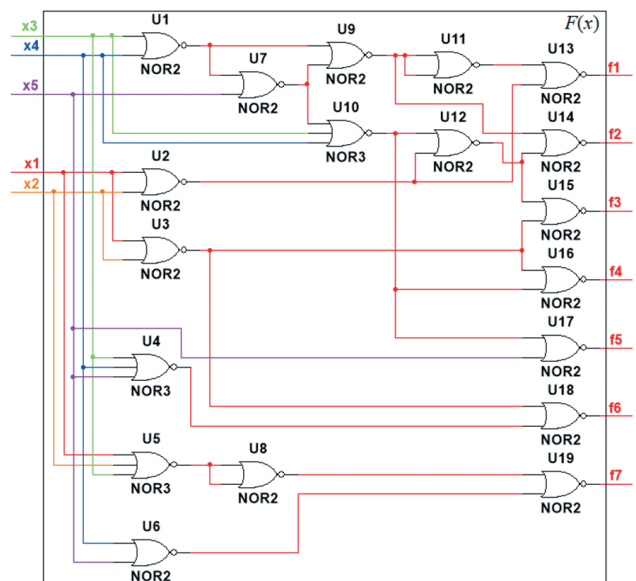


Рис. 1. Исходная схема $F(x)$

В статье [24] представлен метод организации СВК по двум диагностическим признакам – самодвойственности вычисляемых функций и принадлежности формируемого кодового слова модифицированному коду Хэмминга (коду Сяо). Доказано, что для числа выходов устройства $m = 7$ можно подобрать способ построения такого кода Сяо, для которого кодер будет самодвойственным устройством. Один из таких способов построения кода – использование следующей проверочной матрицы:

$$\begin{pmatrix} 0 & 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 \\ 1 & 1 & 1 & 0 & 1 & 1 & 0 \end{pmatrix} \quad (6)$$

Этот способ обозначим таким кортежем $\langle 7, 11, 13, 14, 19, 21, 22 \rangle$, где каждое десятичное число определяет

двоичное число, записанное в соответствующем столбце проверочной матрицы.

Преобразуем схему, приведенную на рис. 1, в самодвойственную путем замены каждого логического элемента самодвойственным аналогом [10]. Преобразованная схема приведена на рис. 2. Ясно, что она может быть оптимизирована, однако в данной задаче в этом нет необходимости.

Построим СВК для рассматриваемой схемы на основе кода Сяо с проверочной матрицей (6) и протестируем ее работу с контролем вычислений по двум диагностическим признакам на основании структуры из [24]. Группу элементов, реализующих самодвойственный аналог, будем отождествлять с исходным логическим элементом. Например, на рис. 2 выделен самодвойственный аналог элемента U10.

Объект диагностирования $F(x)$, имеющий в рассматриваемом случае $t = 5$ рабочих входов и один допол-

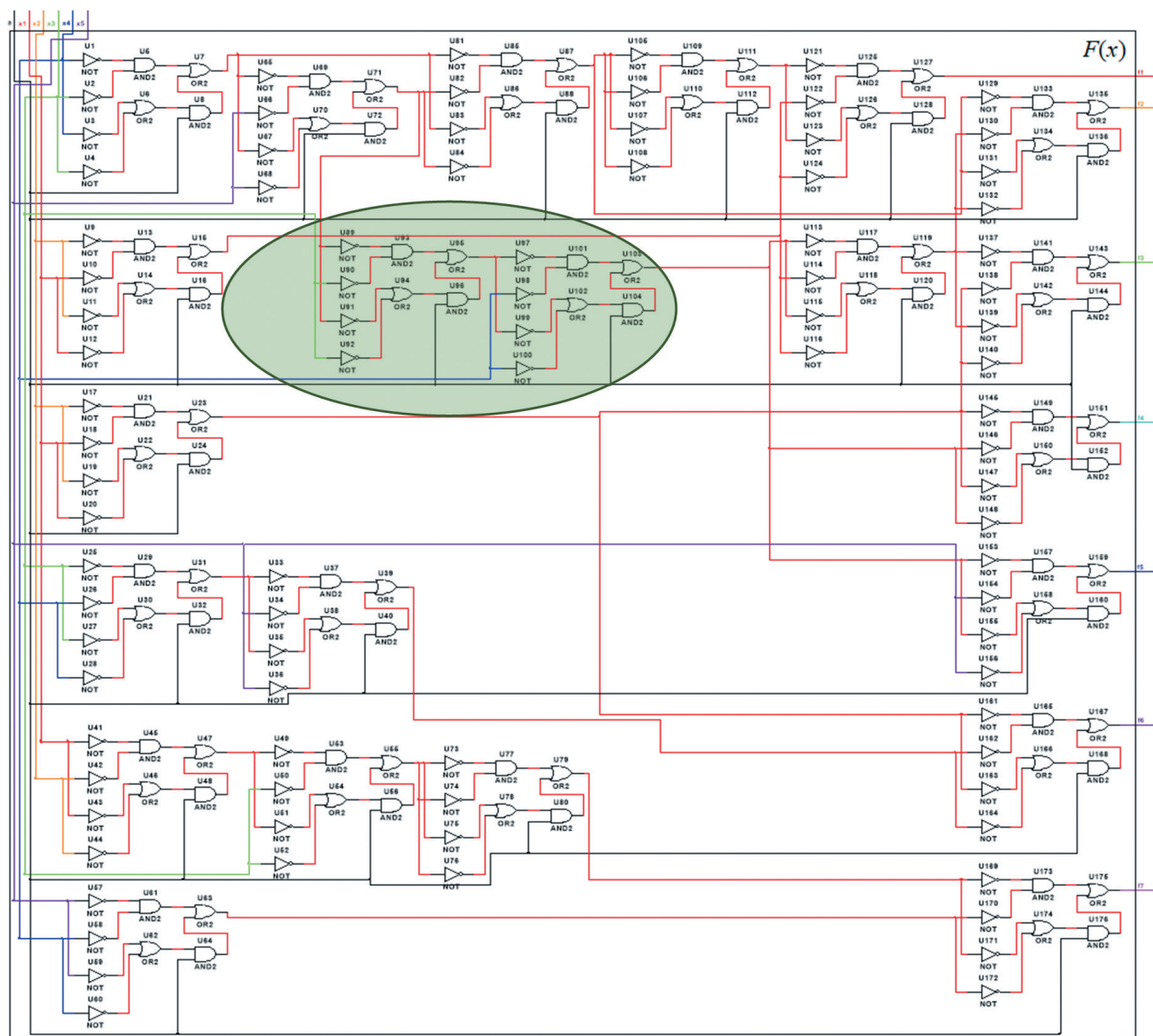


Рис. 2. Самодвойственный аналог схемы $F(x)$

нительный вход для подачи альтернативного сигнала a , снабжается специализированной СВК (рис. 3). Сигнал a представляет собой последовательность импульсов со скважностью $S = 2$ [18]. Использование только одного альтернативного сигнала a всегда позволяет получить из несамо двойственного устройства само двойственное [9]. С использованием сигнала a также работает и тестер само двойственности SSC (*self-checking self-dual checker*) [18].

СВК обустроена следующим образом. Тестер кода Сяо – устройство TSC (*totally self-checking checker*) – проверяет соответствие формируемых на выходах объекта диагностирования $F(x)$ и выходах блока контрольной логики (блока вычисления проверочных символов кода Сяо) $G(x)$ кодовых слов выбранному коду Сяо. Таким образом, на выходах тестера вычисления контролируются по признаку принадлежности кодовых слов коду Сяо. В составе TSC имеется кодер кода Сяо – устройство $G(f)$, – формирующее проверочные символы $g_1, g_2, \dots, g_5$ по проверочной матрице (6), а также компаратор $5TRC1$,

позволяющий сравнивать пять одноименных сигналов и формировать один контрольный сигнал. На входы компаратора поступают сигналы от блоков $G(f)$ и $G(x)$. Блок $G(x)$, по сути, также является кодером кода Сяо и позволяет формировать значения проверочных символов $g'_1, g'_2, \dots, g'_5$ по входным воздействиям на объект диагностирования. Компаратор реализуется на основе стандартных модулей сжатия парафазных сигналов TRC (*two-rail checker*) [25]. Это устройство функционирует в двухпроводной логике при подаче на входы взаимно инверсных сигналов. Поэтому сигналы с выходов устройства $G(x)$ предварительно инвертируются. Каждый модуль TRC позволяет сравнить по два одноименных сигнала. Всего таких модулей в рассматриваемом случае требуется четыре. На двух выходах компаратора формируется парафазный сигнал при отсутствии неисправностей в устройствах СВК и блоке $F(x)$; нарушение парафазности является показателем присутствия ошибок в вычислениях. Так как кодер Сяо в данном случае [24] является само двойственным устройством, сигнал с каждого его выхода

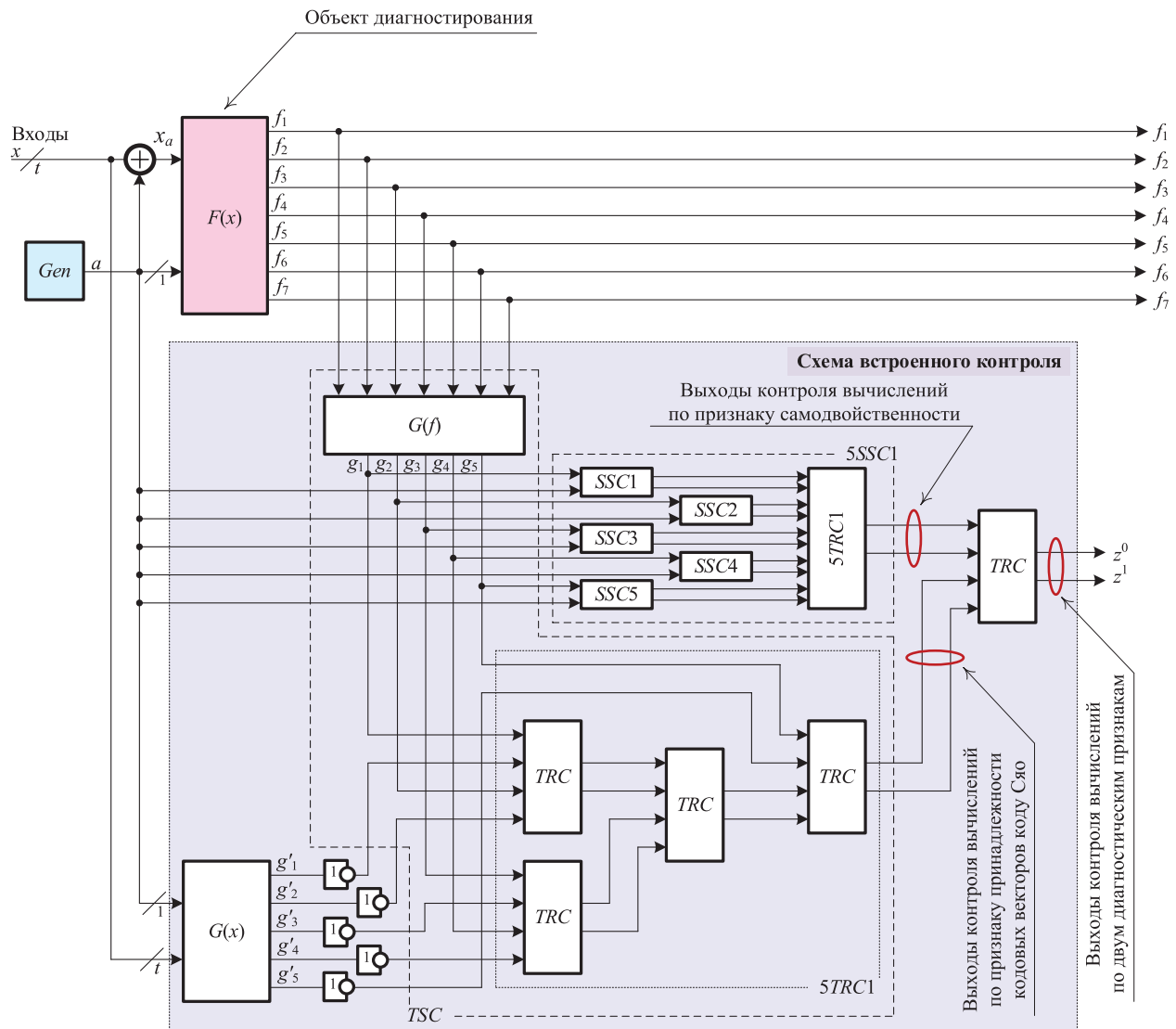


Рис. 3. Структура СВК

можно контролировать по признаку самодвойственности, для чего реализуется схема контроля самодвойственности сигналов. Она образована из пяти устройств *SSC*, каждый из которых контролирует вычисления на одном выходе кодера, а также из компаратора *5TRC1*, позволяющего сжимать пять контрольных сигналов в один. На выходах данного устройства осуществляется контроль вычислений по признаку самодвойственности. Выходы двух устройств контроля подключены к единственному *TRC*, выходы которого являются контрольными выходами СВК – выходами z^0 и z^1 .

Используя программную среду Multisim, авторы реализовали СВК для схемы, изображенной на рис. 2 по структуре, приведенной на рис. 3. Самопроверяемое самодвойственное устройство приводится на рис. 4. Элементы на рисунке достаточно мелкие. Он приведен здесь для понимания того, как спроектировано самопроверяемое самодвойственное устройство.

Для представленного устройства производилось моделирование одиночных константных неисправ-

ностей (*stuck-at faults*) [26] выходов внутренних логических элементов – аналогов элементарных логических элементов. В ходе эксперимента исследовались особенности обнаружения вызываемых неисправностями объекта диагностирования ошибок на его выходах. При этом контрольные сигналы выводились с точек, показанных на рис. 4, – именно они представляют интерес.

Для примера рассмотрим тестирование неисправности вида «константа 1» на выходе аналога элемента U10 (см. рис. 2). На рис. 5 они обозначены следующим образом: *TRC7* – выходы подсхемы контроля самодвойственности, *TRC8* – выходы подсхемы контроля принадлежности кодовых слов коду Сяо, *TRC9* – контрольные выходы СВК. На рис. 6 более подробно выделена часть временных диаграмм, по которой можно проследить, как обнаруживались ошибки на выходах объекта диагностирования в трех контрольных точках.

Особенностью самодвойственных схем является импульсный режим функционирования при подаче на

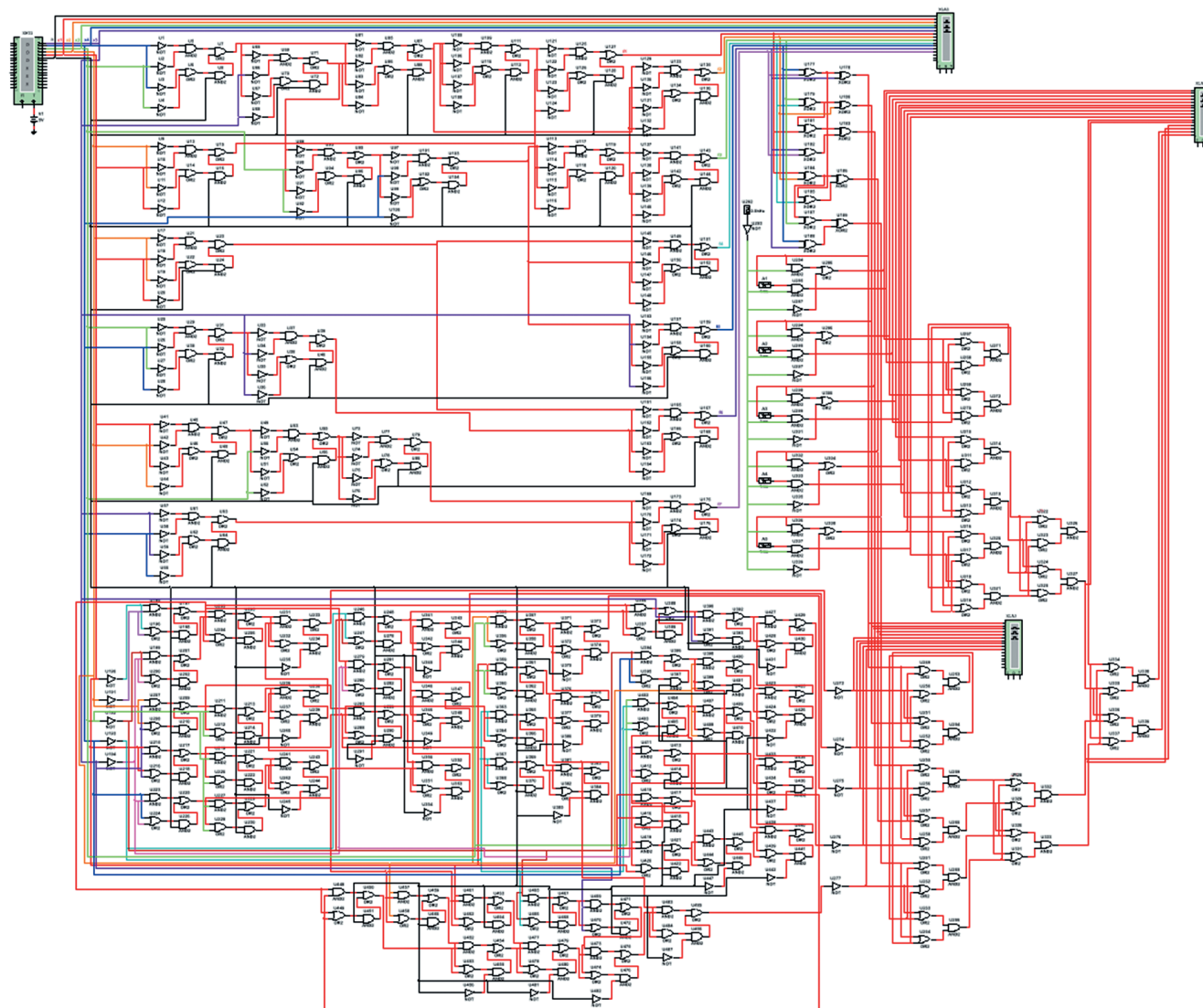


Рис. 4. Устройство с СВК

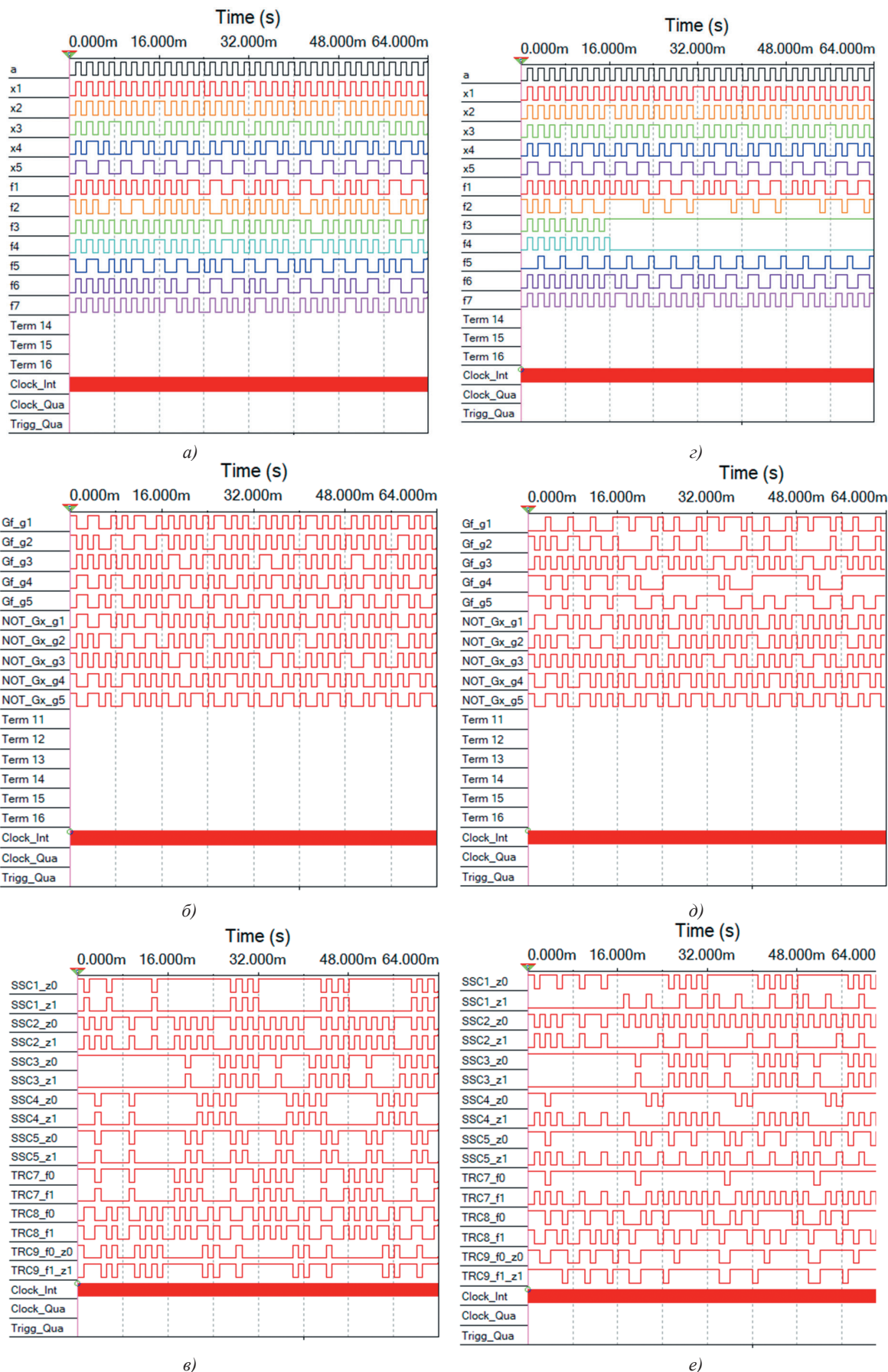


Рис. 5. Временные диаграммы работы устройства: а) сигналы на выходах устройства $F(x)$ при отсутствии неисправностей; б) сигналы на выходах устройств $G(f)$, $G(x)$ при отсутствии неисправностей; в) сигналы на контрольных выходах $SSC1$, $SSC2$, $SSC3$, $SSC4$, $SSC5$, $TRC7$, $TRC8$, $TRC9$ при отсутствии неисправностей; г) сигналы на выходах устройства $F(x)$ при неисправности типа «константа 1» на выходе элемента $U10$; д) сигналы на выходах устройств $G(f)$, $G(x)$ при неисправности типа «константа 1» на выходе элемента $U10$; е) сигналы на контрольных выходах $SSC1$, $SSC2$, $SSC3$, $SSC4$, $SSC5$, $TRC7$, $TRC8$, $TRC9$ при неисправности типа «константа 1» на выходе элемента $U10$

входы пар комбинаций, в которых вторая комбинация ортогональна по всем переменным по отношению к первой. На диаграмме зафиксирована работа на всех 32 парах комбинаций $\langle a x_1 x_2 x_3 x_4 x_5 \rangle$, подаваемых последовательно: $\langle 000000 \rangle$, $\langle 111111 \rangle$, $\langle 000001 \rangle$, $\langle 111110 \rangle$, ..., $\langle 011111 \rangle$, $\langle 100000 \rangle$.

На диаграмме (рис. 6) черным маркером выделены такты, соответствующие комбинациям, на которых неисправность фиксируется в соответствующей контрольной точке.

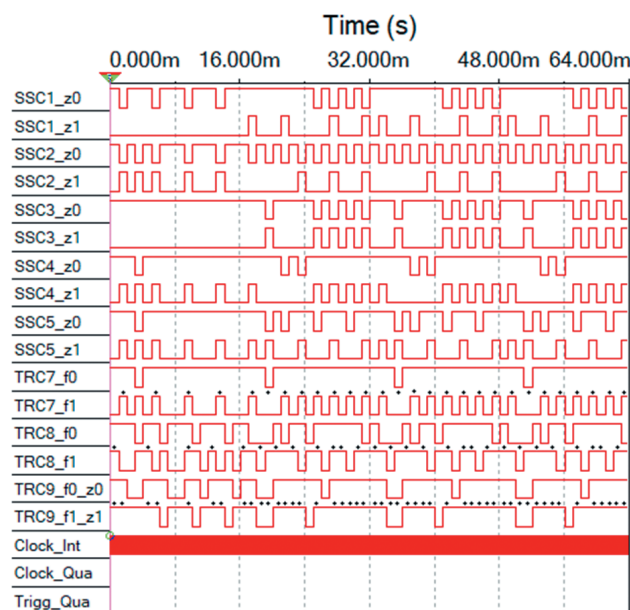


Рис. 6. Диаграмма работы устройства с СВК с неисправностью типа «константа 1» на выходе самодвойственного аналога элемента U10

В качестве примера объясним, за счет чего обнаруживается ошибка при подаче на входы самой первой пары комбинаций (первый такт на временных диаграммах рис. 5 и 6). Из сравнения диаграмм на рис. 5, в) и е) следует, что на первой комбинации тестеры самодвойственности не фиксируют ошибку. Она была бы пропущена, если бы не было подсхемы контроля по признаку принадлежности формируемых кодовых слов кодам Сяо. Обратим внимание на рис. 5, б) и д) – в первом такте меняются значения проверочных символов, что и приводит к фиксации ошибки в подсхеме контроля по кодам Сяо. Как итог – ошибка обнаруживается. Противоположно работают тестеры на второй комбинации из пары – тестер самодвойственности фиксирует ошибку, а тестер кода Сяо – нет. Однако на выходах СВК ошибка обнаруживается. Таким образом, контроль по двум диагностическим признакам позволяет повысить контролепригодность СВК в части наблюдаемости ошибок [18, 24].

Всего имеется 64 комбинации. Рассматриваемая неисправность тестируется на 28 комбинациях при контроле только по признаку самодвойственности и на 28 комбинациях (43,75 % всех комбинаций) при контроле только по признаку принадлежности кодовых комбинаций коду

Сяо. При контроле по двум признакам тестовых комбинаций среди всех остальных становится 49 (76,56 % всех комбинаций). Аналогичный эффект в повышении контролепригодности в части наблюдаемости неисправностей на входных комбинациях наблюдается и для всех остальных элементов в структуре самодвойственной схемы.

Следует отметить, что приведенный выше пример только демонстрирует эффект в части повышения контролепригодности схем за счет использования двух диагностических признаков, однако в дальнейшем важным этапом является постановка и проведение многочисленных экспериментов с так называемыми контрольными схемами (benchmarks), повсеместно используемыми для проверки и демонстрации эффективности разрабатываемых методов технической диагностики [27, 28].

Заключение

Организация контроля вычислений с использованием свойств самодвойственных функций позволяет реализовывать самопроверяемые цифровые устройства, которые как компоненты входят в более сложные управляющие микроэлектронные и микропроцессорные комплексы. При этом для обеспечения свойств самопроверяемости и контролепригодности их структур требуется выполнение особых условий при синтезе.

В случае, если ошибка возникнет на обеих комбинациях из подаваемой пары комбинаций на входы устройства, она не будет зафиксирована тестером самодвойственности. Многочисленные эксперименты с произвольными комбинационными схемами показали, что данное событие может оказаться частым. Кроме того, расчеты показывают, что существует большое число сочетаний ошибок, возникающих на выходах устройств, при которых они не фиксируются тестерами самодвойственности. Чем больше число входов у устройства, тем выше потенциальное число маскируемых ошибок. Однако использование специальных схемотехнических приемов, например, контроля вычислений не только по признаку самодвойственности формируемых сигналов, но и по принадлежности кодовых слов заранее выбранным блоковым кодам, позволяет перевести ошибку из класса необнаруживаемых в класс обнаруживаемых. Приведенный в статье пример отлично демонстрирует увеличение числа обнаруживаемых тем самым ошибок.

В дальнейших исследованиях методов синтеза самопроверяемых самодвойственных устройств следует учитывать особенности обнаружения ошибок при контроле по признаку самодвойственности сигналов. В самом выбранном признаке как раз и кроется наиболее весомый недостаток – маскировка ошибки при ее проявлении на обеих комбинациях из пары. Сокращение и даже исключение таких ошибок может достигаться различными путями: выделением групп контролепригодных выходов, реконфигурацией структуры объекта диагностирования в контролепригодную

структуру, контролем отдельных сигналов на выходах объекта диагностирования, выделением дополнительных диагностических признаков.

Библиографический список

1. Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
2. Lala P.K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers, 2001. 216 p.
3. Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006. 720 p.
4. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey, New York, IGI Global, 2011. 578 p.
5. Дрозд А.В., Харченко В.С., Антошук С.Г. и др. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А.В. Дрозда и В.С. Харченко. Харьков: Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», 2012. 614 с.
6. Ярмолик В.Н. Контроль и диагностика вычислительных систем. Минск: «Бестпринт», 2019. 387 с.
7. Матросова А.Ю., Чернышов С.В., Ким О.Х., Николаева Е.А. Построение последовательности, обнаруживающей робастно тестируемые неисправности задержек путей в схемах с памятью // Автоматика и телемеханика. 2021. № 11. С. 148-168. DOI: 10.31857/S0005231021110106
8. Reynolds D.A., Meize G. Fault Detection Capabilities of Alternating Logic // IEEE Transactions on Computers. 1978. Vol. C-27. Issue 12. Pp. 1093-1098. DOI: 10.1109/TC.1978.1675011
9. Аксенова Г.П. Восстановление в дублированных устройствах методом инвертирования данных // Автоматика и телемеханика. 1987. № 10. С. 144-153.
10. Гессель М., Мошанин В.И., Сапожников В.В. и др. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций // Автоматика и телемеханика. 1997. № 12. С. 193-200.
11. Crama Y., Hammer P.L. Boolean Function: Theory, Algorithms, and Applications. Cambridge University Press, 2011. 687 p.
12. Гессель М., Морозов А.В., Сапожников В.В. и др. Логическое дополнение – новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167-176.
13. Гессель М., Морозов А.В., Сапожников В.В. и др. Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005. № 8. С. 161-172.
14. Гессель М., Дмитриев А.В., Сапожников В.В. и др. Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162-174.
15. Сапожников В.В., Сапожников Вл.В., Гессель М. Самодвойственные дискретные устройства. СПб: Энергоатомиздат (Санкт-Петербургское отделение), 2001. 331 с.
16. Сапожников В.В., Сапожников Вл.В., Валиев Р.Ш. Синтез самодвойственных дискретных систем. СПб: Элмор, 2006. 220 с.
17. Göessel M., Ocheretny V., Sogomonyan E. et al. New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
18. Ефанов Д.В., Погодина Т.С. Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга // Информатика и автоматизация. 2023. Т. 22. № 2. С. 349-392. DOI: 10.15622/ia.22.2.5
19. Ефанов Д.В., Погодина Т.С. Анализ эффективности схем встроенного контроля на основе оценки принадлежности вычисляемых функций классу самодвойственных и предварительного сжатия сигналов с применением линейных кодов // Программная инженерия. 2023. Т. 14. № 4. С. 175-186. DOI: 10.17587/prin.14.4.175-186
20. Efanov D., Sapozhnikov V., Sapozhnikov V.I. et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, September 13-16, 2019. Pp. 136-143. DOI: 10.1109/EWDTS.2019.8884398
21. Efanov D.V., Pivovarov D.V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters // Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi, Georgia, September 10-13, 2021. Pp. 200-206. DOI: 10.1109/EWDTS52692.2021.9581019
22. Гессель М., Морозов А.А., Сапожников В.В. и др. Построение самопроверяемых комбинационных схем на основе свойств самодвойственных функций // Автоматика и телемеханика. 2000. № 2. С. 151-163.
23. Поспелов Д.А. Логические методы анализа и синтеза схем. М.: «Энергия», 1974. 368 с.
24. Ефанов Д.В., Погодина Т.С. Самодвойственные цифровые устройства с контролем вычислений по кодам Сяо // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2023. № 63. С. 118-136. DOI: 10.17223/19988605/63/14
25. Carter W.C., Duke K.A., Schneider P.R. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N.Y. 10 p.
26. Багдади А.А.А., Хаханов В.И., Литвинова Е.И. Методы анализа и диагностирования цифровых устройств (аналитический обзор) // Автоматизированные системы управления и приборы автоматизации. 2014. № 166. С. 59-74.

27. Sentovich E.M., Singh K.J., Lavagno L. et al. SIS: A System for Sequential Circuit Synthesis // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 4 May 1992. 45 p.

28. Sentovich E.M., Singh K.J., Moon C. et al. Sequential Circuit Design Using Synthesis and Optimization // Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11-14 October 1992, Cambridge, MA, USA, USA. Pp. 328-333. DOI: 10.1109/ICCD.1992.276282

References

1. Sogomonyan E.S., Slabakov E.V. [Self-checking devices and fault-tolerant systems]. Moscow: Radio i svyaz; 1989. (in Russ.)

2. Lala P.K. Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publishers; 2001.

3. Fujiwara E. Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons; 2006.

4. Ubar R., Raik J., Vierhaus H.-T. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference, Hershey (New York), IGI Global; 2011.

5. Drozd A.V., Kharchenko V.S., Antoshchuk S.G. et al. Drozd A.V., Kharchenko V.S., editors. [Operational diagnostics of secure information management systems]. National Aerospace University – “Kharkiv Aviation Institute”, NAU “KhAI”; 2012. (in Russ.)

6. Yarmolik V.N. [Supervision and diagnostics of computer systems]. Minsk: “Bestprint”; 2019. (in Russ.)

7. Matrosova A.Y., Chernyshov S.V., Kim O.K., Nikolaeva E.A. Constructing a sequence detecting robustly testable path delay faults in sequential circuits. *Automation and Remote Control* 2021;11:1949-1965. DOI: 10.31857/S0005231021110106. (in Russ.)

8. Reynolds D.A., Meize G. Fault Detection Capabilities of Alternating Logic. *IEEE Transactions on Computers* 1978;C-27(12):1093-1098. DOI: 10.1109/TC.1978.1675011.

9. Aksenova G.P. [Restoration in redundant devices using data inversion]. *Automation and Remote Control* 1987;10:144-153. (in Russ.)

10. Gessel M., Moshanin V.I., Sapozhnikov V.V. et al. [Fault detection in self-checking combinational circuits using the properties of self-dual functions]. *Automation and Remote Control* 1997;12:193-200. (in Russ.)

11. Crama Y., Hammer P.L. Boolean Function: Theory, Algorithms, and Applications. Cambridge University Press; 2011.

12. Gessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I. Logic complement, a new method of checking the combinational circuits. *Automation and Remote Control* 2003;64(1):153-161. (in Russ.)

13. Goessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I. Checking combinational circuits by

the method of logic complement. *Automation and Remote Control* 2005;66(8):1336-1346. (in Russ.)

14. Gessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov V.I. A self-testable structure for functional fault detection in combination circuits. *Automation and Remote Control* 1999;11:162-174. (in Russ.)

15. Sapozhnikov V.V., Sapozhnikov V.I., Goessel M. [Self-dual discrete devices]. St. Petersburg: Energoatomizdat (St. Petersburg branch); 2001. (in Russ.)

16. Sapozhnikov V.V., Sapozhnikov V.I., Valiev R.Sh. [Synthesis of self-dual discrete systems]. St. Petersburg: Elmor; 2006. (in Russ.)

17. Göessel M., Ocheretny V., Sogomonyan E. et al. New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V.; 2008.

18. Efanov D.V., Pogodina T.S. Properties Investigation of Self-Dual Combinational Devices with Calculation Control Based on Hamming Codes. *Informatics and Automation* 2023;22(2):349-392. DOI: 10.15622/ia.22.2.5. (in Russ.)

19. Efanov D. V., Pogodina T. S. Efficiency Analysis of Concurrent Error-Detection Circuits on the Basis of Assessment by Belonging of Calculated Functions to Self-Dual Class and Preliminary Compression of Signals Using Linear Codes. *Software Engineering* 2023;14(4):175-186. DOI: 10.17587/prin.14.175-186. (in Russ.)

20. Efanov D., Sapozhnikov V., Sapozhnikov V.I. et al. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems. In: Proceedings of the 17th IEEE East-West Design & Test Symposium (EWDTS'2019); Batumi (Georgia); 2019. Pp. 136-143. DOI: 10.1109/EWDTS.2019.8884398.

21. Efanov D.V., Pivovarov D.V. The Hybrid Structure of a Self-Dual Built-In Control Circuit for Combinational Devices with Pre-Compression of Signals and Checking of Calculations by Two Diagnostic Parameters. In: Proceedings of the 19th IEEE East-West Design & Test Symposium (EWDTS'2021), Batumi (Georgia); 2021. Pp. 200-206. DOI: 10.1109/EWDTS52692.2021.9581019.

22. Gessel M., Morozov A.A., Sapozhnikov V.V., Sapozhnikov V.I. Design of self-testable combination circuits using the properties of self-dual functions. *Automation and Remote Control* 2000;2:151-163. (in Russ.)

23. Pospelov, D.A. [Logical methods of analysis and synthesis of schemes]. Moscow: Energia; 1974. (in Russ.)

24. Efanov D.V., Pogodina T.S. Self-dual digital devices with calculations testing by Hsiao codes. *Tomsk State University Journal of Control and Computer Science* 2023;63:118-136. DOI: 10.17223/19988605/63/14. (in Russ.)

25. Carter W.C., Duke K.A., Schneider P.R. Self-Checking Error Checker for Two-Rail Coded Data. United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N.Y.

26. Baghdadi A.A.A., Hahanov V.I., Litvinova E.I. Digital system analysis and diagnosis methods (analytical review). *Management Information System and Devices* 2014;166:59-74. (in Russ.)

27. Sentovich E.M., Singh K.J., Lavagno L. et al. SIS: A System for Sequential Circuit Synthesis. Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley; 1992.

28. Sentovich E.M., Singh K.J., Moon C. et al. Sequential Circuit Design Using Synthesis and Optimization. In: Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors, 11-14 October 1992, Cambridge, MA (USA). Pp. 328-333. DOI: 10.1109/ICCD.1992.276282.

Сведения об авторах

Ефанов Дмитрий Викторович – доктор технических наук, профессор, Действительный член Международной Академии транспорта, член Института инженеров электротехники и электроники (IEEE), Санкт-Петербург, Российская Федерация, e-mail: TrES-4b@yandex.ru

Высшая школа транспорта Института машиностроения, материалов и транспорта Федерального государственного автономного образовательного учреждения высшего образования «Санкт-Петербургский политехнический университет Петра Великого», профессор, ул. Политехническая, д. 29, лит. Б, Санкт-Петербург, РФ, 195251.

Кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте» Федерального государственного автономного образовательного учреждения высшего образования «Российский университет транспорта», профессор, ул. Образцова, д. 9, стр. 9, Москва, Российская Федерация, 127994.

Кафедра «Автоматика и телемеханика» Ташкентского государственного транспортного университета, профессор, пр-д 1-й Темирюлчилар, 1, Мирабадский район, Ташкент, Республика Узбекистан, 100167.

ООО «Научно-исследовательский и проектный институт «Транспортной и строительной безопасности», заместитель генерального директора по научно-исследовательской работе, ул. Фучика, д. 4, лит. К, Санкт-Петербург, Российская Федерация, 192102.

Погодина Татьяна Сергеевна – студент, кафедра «Автоматика, телемеханика и связь на железнодорожном транспорте» Федерального государственного автономного образовательного учреждения высшего образования «Российский университет транспорта», ул. Образцова, д. 9, стр. 9, Москва, Российская Федерация, 127994, e-mail: pogodina-ts@mail.ru

About the authors

Dmitry V. Efanov, Doctor of Engineering, Professor, Full Member of the International Academy of Transportation, Member of the Institute of Electrical and Electronics Engineers (IEEE), Saint Petersburg, Russian Federation, e-mail: TrES-4b@yandex.ru.

Higher School of Transportation, Institute of Engineering, Materials, and Transportation, Peter the Great St. Petersburg Polytechnic University, Professor, 29, lit. B Politekhnikeskaya St., Saint Petersburg, 195251, Russian Federation.

Department of Railway Signalling and Telecommunications, Russian University of Transport, Professor, 9, bldg 9 Obraztsova St., Moscow, 127994, Russian Federation.

Department of Railway Signalling, Tashkent State Transport University, Professor, 1 Temiryolchilar St., Tashkent, 100167, Uzbekistan.

Research and Design Institute for Transportation and Construction Safety, Deputy Director General for Research, 4, lit. K Fuchika St., Saint Petersburg, 192102, Russian Federation.

Tatiana S. Pogodina, student, Department of Railway Signalling and Telecommunications, Russian University of Transport, 9, bldg 9 Obraztsova St., Moscow, 127994, Russian Federation, e-mail: pogodina-ts@mail.ru.

Вклад автора в статью

Ефановым Дмитрием Викторовичем проведен анализ основных достижений в теории синтеза самодвойственных самопроверяемых цифровых устройств, сформулированы и обоснованы условия обнаружения ошибок на выходах самодвойственных цифровых устройств при использовании при контроле вычислений признаков самодвойственности функций и принадлежности формируемых кодовых слов заранее выбранным блоковым равномерным кодам.

Погодиной Татьяной Сергеевной проведено моделирование самодвойственных цифровых схем и получены экспериментальные результаты, подтверждающие эффективность использования при контроле вычислений на их выходах признаков самодвойственности функций и принадлежности формируемых кодовых слов заранее выбранным блоковым равномерным кодам.

Конфликт интересов

Авторы заявляют об отсутствии конфликта интересов.